

新方式による比較型アナログデジタル変換器の微分非直線性の補正

吉 村 厚

(1994年9月17日受理)

1. 緒 言

放射線計測用のアナログデジタル変換器（以下 AD 変換器と略す）は、マルチチャンネル波高分析器に組込まれ、放射線のエネルギースペクトルの測定の重要な部分になっている。工業計測に使用される AD 変換器は、二重積分型、比較型に大きく分けられる。一方放射線計測用 AD 変換器に工業計測用が使用できない大きな理由は非常に精度の良い微分非直線性が前者に要求されるからである。この微分非直線性が悪いと放射線のエネルギースペクトルの形状が大きく変化する。

一般にデジタルボルトメータ等に使用される AD 変換器は、精度も直線性も良い値が性能として示されているが、微分非直線性については $\frac{1}{2}$ LSB (50%) と非常に悪い値を示している。ちなみに一般に放射線計測で使用される AD 変換器は約 1% である。以下に、なぜ放射線計測において微分直線性 (differential linearity)⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾ が重要なファクタであるか説明する。

例えばよく使用されるデジタルボルトメータの場合、必要とする精度、直線性をグラフに示すと図1.1 のように書ける。この図では縦軸に入力であるアナログ信号の波高値を、横軸にデジタル出力を目盛ってある。

今、かりに 10V の入力が 1000 チャンネルに対応するように較正しておいたとすれば、これ

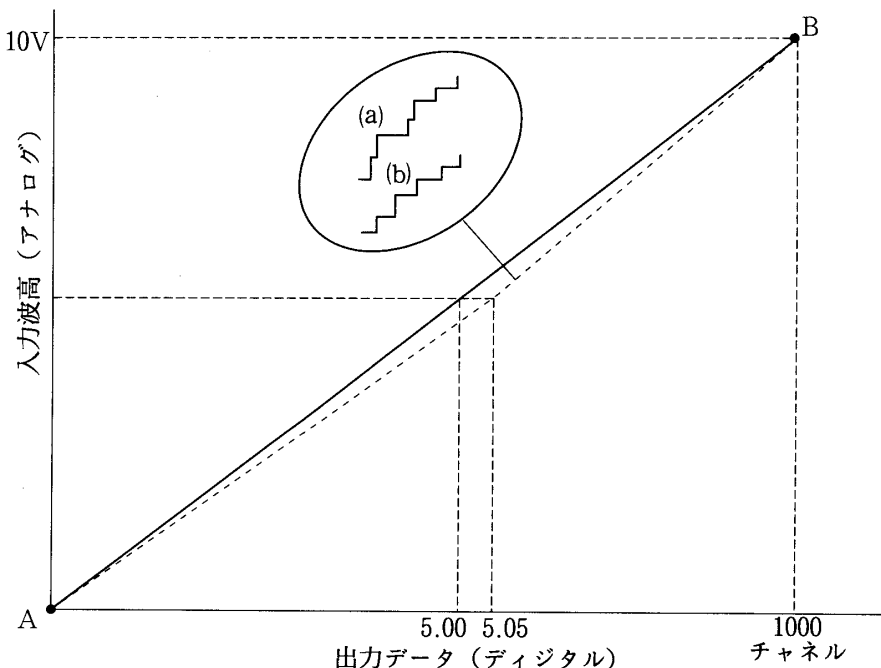


図1.1 直線性のもつ2つの意味 (微分非直線性, 積分非直線性)

は1チャンネル当り10mVに相当するから、較正曲線はA点とB点の2点を結ぶ直線で示される。これを詳しく見れば円内のように1000段の階段状になっている。しかし実際にはこの関係は完全な直線にならず、A点とB点は較正して合わせたとしてもその間が多少狂って、例えば図1.1の点線のようにわん曲する。この曲線と直線との差はこれが、もしも電圧計であれば、測定上の誤差になる。5.00Vが5.05Vと表示されたら、これは+1%の誤差である。

チャンネルのひとつの幅ではなくて、このように全体の何%といった直線性のことを、積分直線性 (integral linearity) と定義されている。前述の微分直線性で問題となった各チャンネルの幅を最小チャンネルからそのチャンネルまで加えることに対応する。一般にAD変換器で直線性、リニアリティなどと呼ばれているのは、殆どこの積分直線性のほうのみを示している。

デジタルボルトメータで表示が5.00Vから5.01Vにいたる幅が、他のチャンネルの平均の幅より50%くらいも広くてもあるいは狭くても、積分直線性にはたかだか0.1%しか影響しない。階段が図(a)のように不均一でもよいわけである。ところが同じ例でも微分直線性を問題にすれば50%のエラーとなる。

以下AD変換器の微分非直線が実際の測定結果に対して、どのようになるかを2例について説明する。図1.2は ^{60}Co ガンマ線のエネルギースペクトルを256チャンネルの微分直線性の悪いAD変換器で測定した結果である。2個の光電ピークは歪を生じている。図1.3は微分直線性のよいAD変換器による測定で歪のない光電ピークを示している。

このような理由で、放射線計測用AD変換器は微分非直線性が $\pm 2\%$ 以下が望まれる。

アナログデジタル変換器の変換速度あるいは不感時間は普通マルチチャンネル波高分析器全体の不感時間を決定する制限要因になる。したがって高速変換に重点が置かれるが、直線性を劣化させないで変換速度を上げるには実際上の限界がある。マルチチャンネル波高

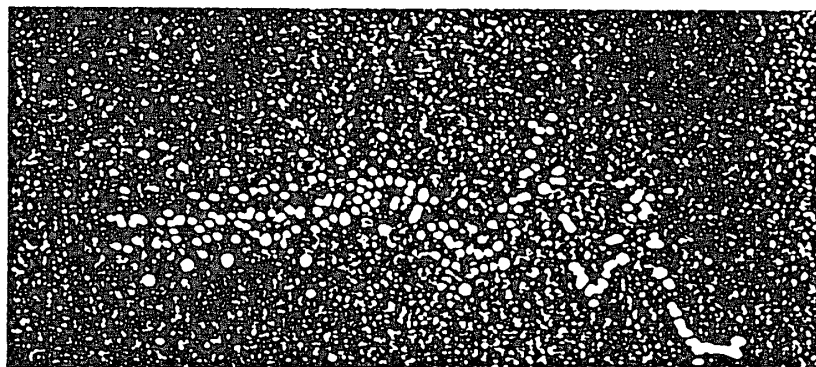


図1.2 微分非直線性が悪い場合の ^{60}Co ガンマ線エネルギースペクトル

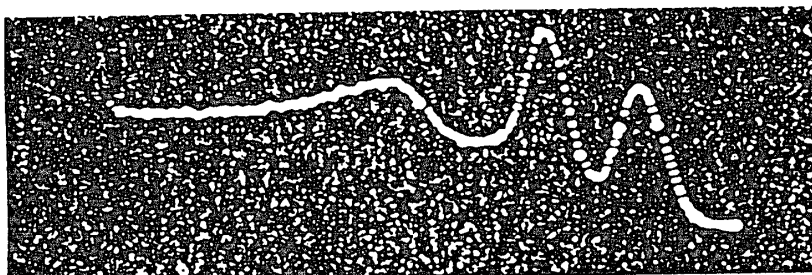


図1.3 微分非直線性が良い場合の ^{60}Co ガンマ線エネルギースペクトル

分析装置に用いられるアナログデジタル変換器にはウイルキンソン型 AD 変換器と逐次比較型変換器の二つの形式がある。前者は幾分遅いが一般的には後者よりもより微分直線性がよく、マルチチャンネル波高分析器ではもっとも広く用いられている。

本研究は変換速度が高速の逐次比較型 AD 変換器を使用して、なお微分直線性をリアルタイムで補正する新しい方式を開発したので報告する。

2. 実時間スムージング方式による微分非直線性補正の動作原理

マイクロコンピュータに逐次比較型 AD 変換器を使用したマルチチャンネル波高分析器の微分非直線性補正は一般に波高分布を収集後、コンピュータによりおこなっている。しかしエネルギースペクトルは収集時において刻々と表示されている。このため微分直線性の悪いスペクトルが表示されることになる。次にのべる本研究で行なった方式はアナログデジタル変換後実時間で、重み付けスムージングをおこなう新しい方式で、スペクトル収集時においても実時間でスムージングされたスペクトルを表示することが出来る。またソフトウェアのみでも実現出来るので、比較型アナログデジタル変換器とマイクロコンピュータを組合せた比較的安価なシステムに対して有効な方式である。以下これらの動作原理を述べる。

一般に、重み付けスムージング方式として、5点重み付けスムージングを例にとれば、次式で表される。

$$\begin{aligned} C_n &= \frac{AC_{n-2} + BC_{n-1} + C_n + BC_{n+1} + AC_{n+2}}{D} \\ &= \frac{A}{D}C_{n-2} + \frac{B}{D}C_{n-1} + \frac{C_n}{D} + \frac{B}{D}C_{n+1} + \frac{A}{D}C_{n+2} \end{aligned} \quad (2.1)$$

ここで C_n はスムージングをおこなう第 n チャンネルの計数值、 A 、 B 、 D は重み付けの値、 C_{n-2} は第 n チャンネルより 2 だけ下のチャンネルの計数值、 C_{n-1} は第 n チャンネルより 1 だけ下のチャンネルの計数值、 C_{n+1} は第 n チャンネルより 1 だけ上のチャンネルの計数值、 C_{n+2} は第 n チャンネルより 2 だけ上のチャンネルの計数值である。

以下、本方式の動作原理について説明する。

図2.1 は、この方式によるスムージングをハードウェアで行う実施例を示すブロック図である。

この図において、入力パルスは、ピークデテクタ回路 1 を通り、A/D 変換器 2 に入力される。このパルスは、AD 変換器 2 によりデジタル値に変換されアップダウンカウンタ 3 に入力される。一方、入力パルスは AD 変換回路により、デジタル値に変換されるが、その変換完了信号は 2^7 (128進) カウンタ 4 で計数される。

AD 変換が終了すると、このカウンタ 4 の計数值がデコーダ回路 5、6 により比較される。またカウンタ 4 の 1 桁目のカウンタの出力により加減算回路 3 がパルスを加算するか減算するかを決定する。一例として、前記の重みの数値を、 $1/D=64/128=1/2$ 、 $B/D=24/128=3/16$ 、 $A/D=8/128=1/16$ とする。この場合、デコーダ回路のデコード範囲は、それぞ

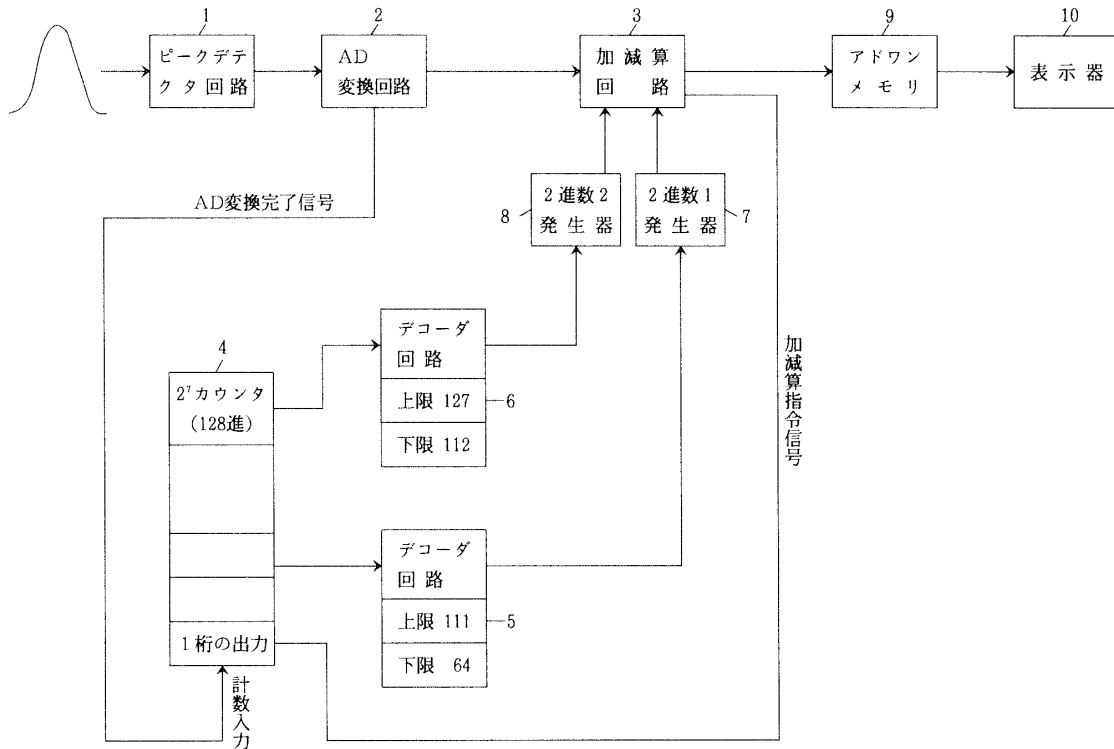


図2.1 実時間スムージング方式のブロック

れデコーダ回路5で64から111まで、デコーダ回路6で112から127までとする。

したがって、カウンタの計数值が0～63までは、 C_n の値はそのままとする。カウンタ4の計数值が64～111までの値のときは、カウンタ4の1桁の出力の値が0か1で C_{n-1} か C_{n+1} かを決定する。例えばカウンタ4の1桁目のカウント値が1の状態を C_{n-1} に対応させると、デコーダ回路1の出力により2進数1発生器7により2進数1が発生し加減算回路3に1が加算され、 C_n に計数されるべき値は C_{n+1} に計数される。もしカウンタ4の1桁の出力の値が0の状態であれば、この逆で、加減算回路の内容から1が減算される。この動作は式2.1の第2項及び第4項に該当する。

同様に、カウンタ4の計数值が112～127であれば、1.1式の第1項と第5項の動作を行う。すなわち、 C_{n-2} 又は C_{n+2} に計数される値がカウンタ4の1桁の出力の値0か1より、決定される。一方カウンタ4の計数值はデコーダ回路2のデコード範囲となり、この出力により2進2発生器から2進数2が発生し加減算回路により加算又は減算される。

以上の動作により、5点重み付け動作をリアルタイムで行うことができる。また、デコーダ回路5、6の数を増加させることにより、多点重み付けスムージングも容易に実現できる。

加減算回路の計数值は、波高分布を記憶するアドワンメモリ9に記憶されるとともに表示器10によりリアルタイムでグラフィック表示される。

しかしこの方法を読出専用メモリを使用してテーブルルックアップ方式をもちいれば、桁上げ桁下げによって演算時間がかかる加減算回路を使用しなくてよい。つまり+2、+1、0、-1、-2された表をあらかじめ読出専用メモリに書きこんでおく。アナログデジタル変換器の出力でメモリの番地を指定して、データを読出す。このデータは+2の場合はメモリ番地の値に2を加算されたものが出力されるし、-2の場合は2を減算された値が出

力される。つまり5組のメモリを用意して5点スムージングの重みの値に比例して、5組のメモリを切換えればよい。この方法は読出専用メモリを指定するのみでよいので、補正時間は読出専用メモリの読出時間のみとなる。おそらく100n秒から500n秒位で完了する。補正時間としては、他のどの方式よりも高速である。この場合には2進数発生器7と8及び加減算回路が読出専用メモリに置き換えられ、回路が簡単になる。それで、この研究ではテーブルルックアップ方式を用いた。

3. 高速実時間スムージング回路

マイクロコンピュータを使用したマルチチャンネルアナライザに、この実時間スムージング方式を使用した。このシステムは逐次比較型アナログデジタル変換器は10ビットを使用している。アナログデジタル変換部はNIMモジュール1巾で、PC9801VMの後部スロットにインターフェースボードが挿入されている。この回路を図3.1に示す。この回路は、インターフェースボード1枚の内に納められている。テーブルルックアップ方式を使用したので、図2.1に示す2進数発生器7と8、加減算回路3が読出専用メモリにより置き換えられた。

読出専用メモリはIC5及びIC6で27C64を使用した。このメモリは1個で8kバイトメモリ容量をもっている。8ビット単位で出力されるので、10ビットの場合上位2ビットを他の27C64に書き込むため、2個使用しなければならない。表3.1にこれらのメモリマップを示す。

このメモリマップの内容は、1,024×10ビットで、+2, +1, ±0, -1, -2の数値が、それぞれ書き込まれている。表3.2にこれらの書き込みデータの内容を示している。IC3は16

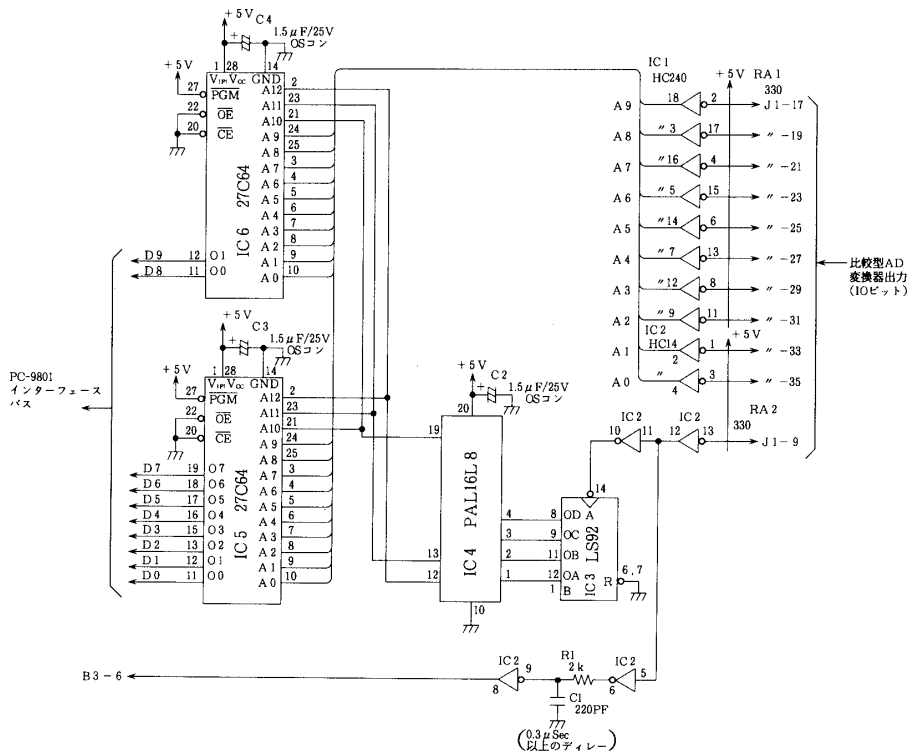


図3.1 実時間スムージング方式の回路

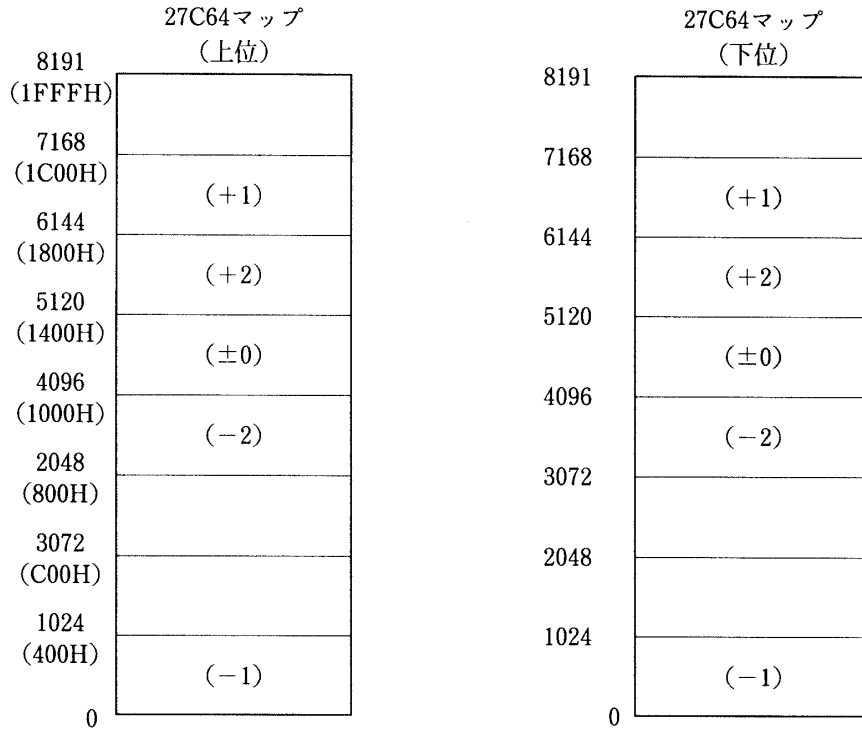


表3.1 実時間スージング方式のメモリマップ

1. 1000~13FF (±0)	2. 0~3FF (-1)	5. 1400~17FF (+2)						
入力	上位	下位	入力	上位	下位	入力	上位	下位
000	00	00	000	00	00	000	00	02
001	00	01	001	00	00	001	00	03
002	00	02	002	00	01
...	010	01	02
010	00	10	010	00	0F	011	01	03
...
100	01	00	100	00	FF	100	01	02
101	01	01	101	01	00	101	01	03
...
3FF	03	FF	3FF	03	FE	3FD	03	FF
						3FE	03	FF
						3FF	03	FF

3. 1800~1BFF (+1)	4. C00~FFF (-2)				
入力	上位	下位	入力	上位	下位
000	00	01	000	00	00
001	00	02	001	00	00
...	002	00	00
010	00	11	003	00	01
...	004	00	02
100	01	01	...	00	...
101	01	02	010	00	0E
102	01	03	...	00	...
...	100	00	FE
3FE	03	FF	101	00	FF
3FF	03	FF	102	01	00
		
			3FE	03	FC
			3FF	03	FD

表3.2 実時間スージングメモリ書き込みデータ

```

FILE NAME=[ SMOOTH1 ]
PAL16L8
;HARD SMOOTHING
;
:1988.10.26
A B C D NC NC NC NC NC GND NC A12 A11 05 04 03 02 01 A10 VCC
;
IF (VCC)/01=/A*/B*/C*/D+A*/B*/C*/D+A*B*/C*/D+A*B*/C*/D
IF (VCC)/02=/A*/B*C*/D+A*/B*C*/D+A*/B*/C*D
IF (VCC)/03=A*/B*/C*D+A*B*/C*D+A*B*/C*D
IF (VCC)/04=/A*/B*C*D
IF (VCC)/05=A*/B*C*D
;
IF (VCC)/A10=/01+/02+/03
IF (VCC)/A11=/01+/03+/04
IF (VCC)/A12=/03+/05
;
FUNCTION TABLE
A B C D 05 04 03 02 01 A10 A11 A12
;
; A B C D 0 0 0 0 0 A A A
;           5 4 3 2 1 1 1 1
;           0 1 2
;
-----
L L L L   H H H H L L L H   ; 01
H L L L   H H H H L L L H   ; 02
L H L L   H H H H L L L H   ; 03
H H L L   H H H H L L L H   ; 04
L L H L   H H H L H L H H   ; 05
H L H L   H H H L H L H H   ; 06
L L L H   H H H L H L H H   ; 07
H L L H   H H L H H L L L   ; 08
L H L H   H H L H H L L L   ; 09
H H L H   H H L H H L L L   ; 10
L L H H   H L H H H H L H   ; 11
H L H H   L H H H H H H L   ; 12
-----
DESCRIPTION

```

表3.3 PAL16L8のピン指定とブール代数式

進, 4ビットカウンタで, アナログデジタル変換器の変換終了パルスを計数する。この計数値を+2が1/16, +1が3/16, ±0が8/16, -1が3/16, -2が1/16の確率で, 読出専用メモリのグループを指定する。このためにカウンタの出力をデコードしなければならない。このデコーダは標準ICを使用すれば数個必要となる。ここでは出来る限りICを減らすことによりインターフェース基板1枚に納める必要から, PAL (Programmable Array Logic) を使用した。

ここではこの目的にあったMMI社のPAL16L8を使用した。16L8の記号の意味は入力ラインが16本, 出力ラインが8本でアクティブロウ出力である。この図に示す横線と縦線の交点にダイオードとヒューズが直列に接続されている。このヒューズを切断することにより目的とするICが作られる。この切断は, ブール代数式を入力することによりPALASMというアセンブラ言語により, PALパターンフォーマットに自動変換され, マイクロコンピュータに接続されたPALライターによって所定の場所のヒューズが切断され

る。表3.3にPAL16L8のピン番号指定とブール代数式を示す。このPALはピン数が20本あり、左側のAが1番ピンで、VCCの20番ピンまで順次割当てられる。

ブール代数式はPALASM言語では、*が論理積、+が論理和、/が否定を表している。この式では入力がA, B, C, Dの4入力で出力はA10, A11, A12の3出力となっている。

IF (VCC)は右項の条件の出力を常に出力することを表している。

IC4 PAL16L8の出力ピンは12, 13及び19番で、それぞれA10, A11及びA12に対応している。この出力はROM 27C64に接続され、カウンタの内容により、メモリグループを指定している。

4. 測定結果

線源として ^{137}Cs 及び ^{60}Co を使用し測定を行なった。NaI (T ℓ) 検出器の出力は線型増幅器で増幅され、AD変換器に入力した。

実時間スムージング回路を使用した方式の測定結果を述べる。

図4.1は ^{137}Cs と ^{60}Co の線源を同時に測定したガンマ線エネルギースペクトルで微分非直線性の補正をおこなっていない測定結果を示す。

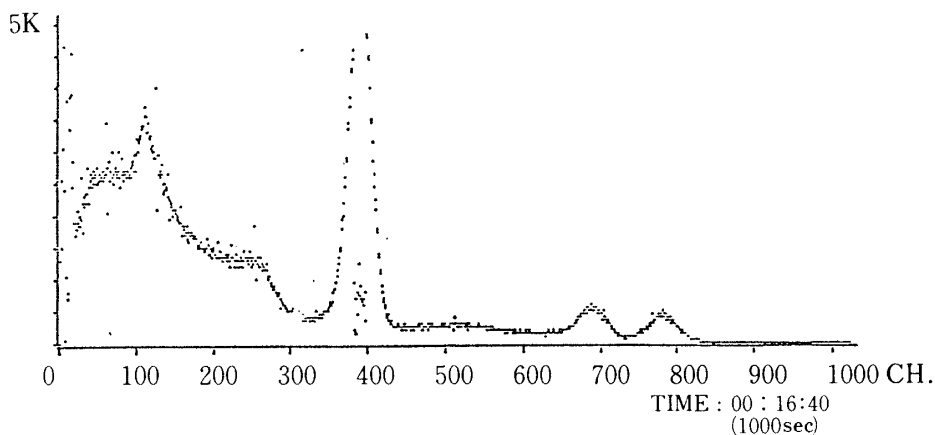


図4.1 $^{137}\text{Cs} + ^{60}\text{Co}$ のガンマ線エネルギースペクトル (補正なし)

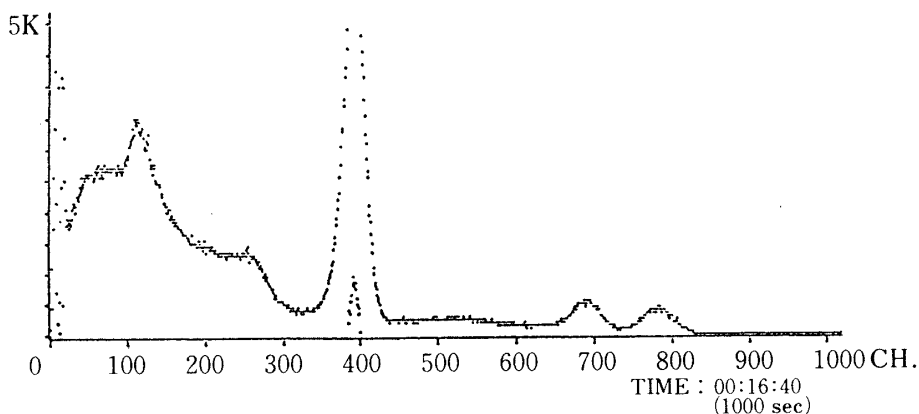


図4.2 $^{137}\text{Cs} + ^{60}\text{Co}$ のガンマ線エネルギースペクトル (補正あり)

また図4.2には、同じ測定条件で微分非直線性補正をおこなった測定結果を示す。測定時間はいずれも1000秒でおこなった。図4.1と比較すると微分非直線が改善されていることがわかる。

5. 結 言

実時間スムージング法では、ソフトウェアでおこなってもハードウェアでおこなっても、変換速度以外では大差はない。読出専用メモリによるテーブルルックアップ方式は、どのような方式よりも微分非直線性の補正時間について高速である。本方式によるソフトウェアでおこなう方法の補正時間は20~30 μ 秒かかり、AD変換器の変換時間に、この時間が加算されることになる。しかしハードウェアによるテーブルルックアップ方式は補正時間が1 μ 秒以下でおこなわれる。しかしこの方法は本質的にエネルギースペクトルの半値巾に2チャンネル程度の広がりを生ずる。

またこの方式をデジタルアナログ変換器に応用すれば、CDプレーヤの音質改善に役立つと思われる。

参 考 文 献

- (1) 岡村迪夫：放射線測定回路とシステム，112（1975，日刊工業新聞社，東京）
- (2) P. W. Nicholsson：Nuclear Electronics, 305（1974，WILEY）
- (3) コワルスキー著：伏見和郎，吉村 厚訳：原子核エレクトロニクス，185（1971，朝倉書店，東京）
- (4) A. Yoshimura：NEW DIFFERENTIAL LINEARITY COMPENSATION METHOD FOR SUCCESSIVE APPROXIMATION ANALOG-TO-DIGITAL CONVERTORS, Nucl. Instr. Methods A 274, 536（1989）

英 文 要 旨

A new method to reduce the differential linearity of successive approximation analog-to-digital convertors (ADCs) has been developed. This ADC output is digitally compensated by using programmable read-only memory (ROM). A differential non-linearity of better than $\pm 2\%$ has been achieved.